



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000021999 A

(43) Date of publication of application: 21.01.00

(51) Int. Cl. H01L 21/8238
H01L 27/092
H01L 21/3065

(21) Application number: 10191802

(71) Applicant: MATSUSHITA ELECTRON CORP

(22) Date of filing: 07.07.98

(72) Inventor: TATEIWA KENJI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

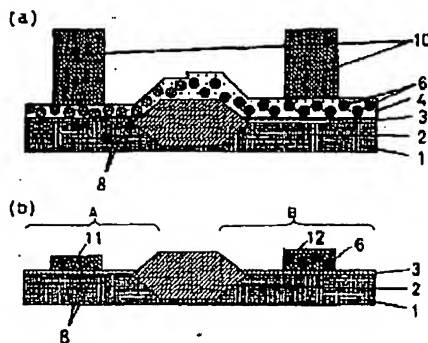
(57) Abstract:

PROBLEM TO BE SOLVED: To nearly equally perform overetching to a p-type MOS region and an n-type MOS region when gate electrodes are formed in a semiconductor device having a p-type MOS (p-channel MOS transistor) and an n-type MOS (n-channel MOS transistor).

SOLUTION: Phosphorous ions 6 and boron ions 8 are respectively implanted into the n-type MOS region B and p-type MOS region A of a polysilicon film 5 formed on a silicon substrate via a separation oxide film 2 and a gate oxide film 3. After etching off the polysilicon film 4 in the p-type MOS area A by a prescribed thickness, a resist 10 for gate pattern is formed and the gate electrodes of a p-type MOS and an n-type MOS are formed by anisotropic etching. Since n-type polysilicon has a larger etching rate than p-type polysilicon has, the etching of the polysilicon film 4 in the p and n-type MOS regions A and B can be

completed at nearly the same time, when the thickness of the film 4 in the region A is made thinner than that of the film 4 in the region B.

COPYRIGHT: (C)2000,JPO



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-21999

(P2000-21999A)

(43) 公開日 平成12年1月21日 (2000.1.21)

| (51) Int. Cl. | 識別記号 | F I | チーフワード (参考) |
|---------------|------|------------|-------------|
| H01L 21/8233 | | H01L 27/08 | 321D 5F004 |
| 27/092 | | 21/302 | J 5F048 |
| 21/3065 | | | |

審査請求 未請求 請求項の数14 O L (全 16 頁)

(21) 出願番号 特願平10-191802

(22) 出願日 平成10年7月7日 (1998.7.7)

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 立岩 健二

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 100076174

弁理士 宮井 暎夫

Fターム (参考) 5F004 A401 A405 B003 C018 I802

E402 E412 E417 E430 E802

F401 F402

5F048 A407 A409 A403 B401 B419

B804 B806 B807 B816 B817

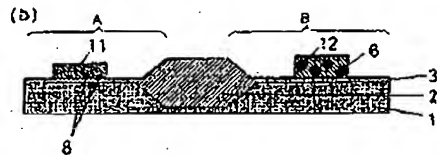
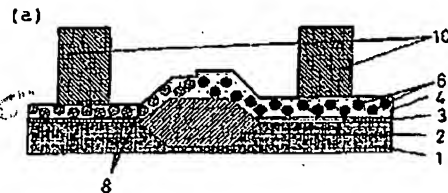
B006 B003 B012 D425

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 pMOS (pチャネルMOSトランジスタ) と nMOS (nチャネルMOSトランジスタ) とを有する半導体装置で、ゲート電極形成時に、pMOS領域と nMOS領域にはほぼ同等のオーバーエッチングを施す。

【解決手段】 シリコン基板1上に分断酸化膜2、ゲート酸化膜3を介して形成したポリシリコン膜4の nMOS領域Bに燐6を、pMOS領域Aにボロン8をイオン注入する。pMOS領域Aのポリシリコン膜4を所定の厚さ分だけエッチング除去した後、ゲートパターンのレジスト10を形成し異方性ドライエッチングにより pMOSと nMOSのゲート電極11、12を形成する。p型よりn型のポリシリコンの方がエッチング速度が速いため、nMOS領域BよりもpMOS領域Aのポリシリコン膜4を薄くすることにより、ゲート電極形成時に、pMOS領域Aと nMOS領域Bのポリシリコン膜4のエッチングをほぼ同時に終了できる。



- A pMOS領域
- B nMOS領域
- 1 シリコン基板
- 2 分断酸化膜
- 3 ゲート酸化膜
- 4 ポリシリコン膜
- 6 燐
- 8 ボロン
- 10 レジスト
- 11 pMOSのゲート電極
- 12 nMOSのゲート電極

THIS PAGE BLANK (USPTO)

【特許請求の範囲】

【請求項1】 半導体基板上にゲート酸化膜を介してゲート電極となるp型半導体膜を有するpチャネルMOSトランジスタと、前記半導体基板上にゲート酸化膜を介してゲート電極となるn型半導体膜を有するnチャネルMOSトランジスタとを備えた半導体装置であって、前記p型半導体膜の膜厚を前記n型半導体膜の膜厚より薄くしたことを特徴とする半導体装置。

【請求項2】 nチャネルMOSトランジスタのゲート酸化膜の下、半導体基板表面をpチャネルMOSトランジスタのゲート酸化膜の下、半導体基板表面よりも低くし、nチャネルMOSトランジスタのゲート電極となるn型半導体膜表面の高さとpチャネルMOSトランジスタのゲート電極となるp型半導体膜表面の高さを同一にしたことを特徴とする請求項1記載の半導体装置。

【請求項3】 半導体基板上にゲート酸化膜を介してゲート電極となるp型半導体膜を有するpチャネルMOSトランジスタと、前記半導体基板上にゲート酸化膜を介してゲート電極となるn型半導体膜を有するnチャネルMOSトランジスタとを備えた半導体装置であって、前記p型半導体膜と同一パターンの第1の酸化膜を前記p型半導体膜上に設け、前記n型半導体膜と同一パターンでかつ前記第1の酸化膜よりも膜厚の厚い第2の酸化膜を前記n型半導体膜上に設けたことを特徴とする半導体装置。

【請求項4】 半導体基板にpチャネルMOSトランジスタとnチャネルMOSトランジスタとを形成する半導体装置の製造方法であって、前記半導体基板上にゲート酸化膜を介して半導体膜を形成する工程と、

nチャネルMOSトランジスタ領域の前記半導体膜にn型不純物を導入する工程と、

pチャネルMOSトランジスタ領域の前記半導体膜にp型不純物を導入する工程と、

前記pチャネルMOSトランジスタ領域の前記半導体膜の表面をエッチングして前記nチャネルMOSトランジスタ領域の前記半導体膜よりも膜厚を薄くする工程と、前記pチャネルおよびnチャネルMOSトランジスタ領域の半導体膜上にゲート電極パターンのレジストを形成し、このレジストをマスクとして前記半導体膜をエッチングしてpチャネルMOSトランジスタのゲート電極およびnチャネルMOSトランジスタのゲート電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項5】 pチャネルMOSトランジスタ領域の半導体膜の表面のエッチング量は、ゲート電極形成のエッチング時における前記pチャネルMOSトランジスタ領域の半導体膜のエッチング速度とnチャネルMOSトランジスタ領域の半導体膜のエッチング速度との差に起因するエッチング量の差分を補償する量とすることを特徴

とする請求項4記載の半導体装置の製造方法。

【請求項6】 半導体基板にpチャネルMOSトランジスタとnチャネルMOSトランジスタとを形成する半導体装置の製造方法であって、

前記半導体基板上にゲート酸化膜を介して半導体膜を形成する工程と、

nチャネルMOSトランジスタ領域の前記半導体膜にn型不純物を導入する工程と、

pチャネルMOSトランジスタ領域の前記半導体膜にp型不純物を導入する工程と、

前記pチャネルMOSトランジスタ領域の前記半導体膜の表面に選択酸化膜を形成し、この選択酸化膜直下の前記pチャネルMOSトランジスタ領域の前記半導体膜を前記nチャネルMOSトランジスタ領域の前記半導体膜よりも膜厚を薄くする工程と、

前記選択酸化膜を除去した後、前記pチャネルおよびnチャネルMOSトランジスタ領域の半導体膜上にゲート電極パターンのレジストを形成し、このレジストをマスクとして前記半導体膜をエッチングしてpチャネルMOSトランジスタのゲート電極およびnチャネルMOSトランジスタのゲート電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項7】 nチャネルMOSトランジスタ領域の半導体膜へのn型不純物の導入は、選択酸化膜を形成した後、前記選択酸化膜をマスクとして行うことを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】 選択酸化膜の形成によりpチャネルMOSトランジスタ領域の半導体膜をnチャネルMOSトランジスタ領域の半導体膜よりも膜厚を薄くする量は、ゲート電極形成のエッチング時における前記pチャネルMOSトランジスタ領域の半導体膜のエッチング速度とnチャネルMOSトランジスタ領域の半導体膜のエッチング速度との差に起因するエッチング量の差分を補償する量とすることを特徴とする請求項6または7記載の半導体装置の製造方法。

【請求項9】 半導体基板にpチャネルMOSトランジスタとnチャネルMOSトランジスタとを形成する半導体装置の製造方法であって、

前記半導体基板上にゲート酸化膜を介して半導体膜を形成する工程と、

nチャネルMOSトランジスタ領域の前記半導体膜にn型不純物を導入する工程と、

pチャネルMOSトランジスタ領域の前記半導体膜にp型不純物を導入する工程と、

前記pチャネルMOSトランジスタ領域の前記半導体膜上に第1の酸化膜を形成するとともに前記nチャネルMOSトランジスタ領域の前記半導体膜上に前記第1の酸化膜よりも膜厚の厚い第2の酸化膜を形成する工程と、前記第1および第2の酸化膜上にゲート電極パターンのレジストを形成し、このレジストをマスクとして前記第

10

20

30

40

50

1および第2の酸化膜をエッチングするとともに前記半導体膜をエッチングしてpチャネルMOSトランジスタのゲート電極およびnチャネルMOSトランジスタのゲート電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項10】 第1の酸化膜および第2の酸化膜は、nチャネルMOSトランジスタ領域の半導体膜にn型不純物を導入し、かつ、pチャネルMOSトランジスタ領域の半導体膜にp型不純物を導入した後、熱酸化処理を行うことにより前記半導体膜表面に同時に形成することとを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】 ゲート電極形成のエッチング時における前記第1の酸化膜と第2の酸化膜とのエッチング時間差によって、前記pチャネルMOSトランジスタ領域の半導体膜のエッチング速度とnチャネルMOSトランジスタ領域の半導体膜のエッチング速度との差に起因するエッチング時間差を補償するように、第1の酸化膜と第2の酸化膜との膜厚差を設定することを特徴とする請求項9または10記載の半導体装置の製造方法。

【請求項12】 半導体基板にpチャネルMOSトランジスタとnチャネルMOSトランジスタとを形成する半導体装置の製造方法であって、nチャネルMOSトランジスタ領域の前記半導体基板表面をpチャネルMOSトランジスタ領域の前記半導体基板表面よりも低くして段差を形成する工程と、前記段差を形成した半導体基板上にゲート酸化膜、半導体膜を順次形成する工程と、前記半導体膜の平坦化処理を行い前記nチャネルMOSトランジスタ領域の前記半導体膜表面の高さと前記pチャネルMOSトランジスタ領域の前記半導体膜表面の高さを同一にする工程と、

前記nチャネルMOSトランジスタ領域の前記半導体膜にn型不純物を導入する工程と、前記pチャネルMOSトランジスタ領域の前記半導体膜にp型不純物を導入する工程と、前記pチャネルおよびnチャネルMOSトランジスタ領域の半導体膜上にゲート電極パターンのレジストを形成し、このレジストをマスクとして前記半導体膜をエッチングしてpチャネルMOSトランジスタのゲート電極およびnチャネルMOSトランジスタのゲート電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項13】 半導体基板表面に段差を形成する工程は、nチャネルMOSトランジスタ領域の前記半導体基板表面に選択酸化膜を形成し、この選択酸化膜を除去することとを特徴とする請求項12記載の半導体装置の製造方法。

【請求項14】 半導体基板表面に形成する段差は、ゲート電極形成のエッチング時における前記pチャネルMOSトランジスタ領域の半導体膜のエッチング速度とn

チャネルMOSトランジスタ領域の半導体膜のエッチング速度との差に起因するエッチング量の差を補償する量とすることを特徴とする請求項12または13記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、超高密度・MOS型半導体集積回路を内蔵する半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】近年、nチャネルMOSトランジスタとpチャネルMOSトランジスタとを有する半導体装置において、半導体素子の微細化に伴い、nチャネルMOSトランジスタにはn型の例えばポリシリコンからなるゲート電極を用い、pチャネルMOSトランジスタにはp型の例えばポリシリコンからなるゲート電極を用いるようになってきている。

【0003】以下図面を参照しながら、従来の半導体装置およびその製造方法の一例について説明する。図13はデュアルゲート構造を持つ従来の半導体装置の構成を示す断面図である。図13において、81はシリコン基板、82はpチャネルMOSトランジスタ（以下「pMOS」という）領域AとnチャネルMOSトランジスタ（以下「nMOS」という）領域Bとを分離する分離酸化膜、83はゲート酸化膜、90はp型ポリシリコン膜からなるpMOSのゲート電極、91はn型ポリシリコン膜からなるnMOSのゲート電極、92はゲート側壁酸化膜、93はBPSG膜からなる層間絶縁膜、94はタンゲステンからなるコンタクト、95は金属配線である。

【0004】この従来の半導体装置は、分離酸化膜82によりpMOS領域AとnMOS領域Bとが分離され、pMOS領域Aには、シリコン基板81に例えばn型ウエル（図示せず）が形成され、その表面にp型のソース・ドレイン領域（図示せず）が形成され、ゲート酸化膜83およびp型ポリシリコン膜のゲート電極90等とともにpチャネルMOSトランジスタを構成している。また、nMOS領域Bには、シリコン基板81に例えばp型ウエル（図示せず）が形成され、その表面にn型のソース・ドレイン領域（図示せず）が形成され、ゲート酸化膜83およびn型ポリシリコン膜のゲート電極91等とともにnチャネルMOSトランジスタを構成している。そして、pMOSのゲート電極90とnMOSのゲート電極91とはそれぞれコンタクト94を介して金属配線95に接続されている。

【0005】このように構成された従来の半導体装置の製造方法について、さらに図14および図15の製造方法を示す工程断面図を参照しながら説明する。まず、シリコン基板81のpMOS領域Aに例えばn型ウエル（図示せず）、nMOS領域Bに例えばp型ウエル（図

示せず)を形成した後、分酸酸化膜82を形成し、ゲート酸化膜83を形成する。その後、全面にポリシリコン膜84を形成する(図14(a))。

【0006】次に、pMOS領域Aを覆いnMOS領域Bを開口したレジスト85をポリシリコン膜84上に形成し、このレジスト85をマスクとしてnMOS領域Bのポリシリコン膜84にn型不純物のドーパント86をイオン注入する(図14(b))。次に、レジスト85を除去後、nMOS領域Bを覆いpMOS領域Aを開口したレジスト87をポリシリコン膜84上に形成し、このレジスト87をマスクとしてpMOS領域Aのポリシリコン膜84にp型不純物のドーパント88をイオン注入する(図14(c))。

【0007】次に、レジスト87を除去後、pMOSのゲート電極およびnMOSのゲート電極のゲートパターンのレジスト89をポリシリコン膜84上に形成し(図15(a))。このレジスト89をマスクとしてポリシリコン膜84の異方性ドライエッチングを行ってpMOSのゲート電極90およびnMOSのゲート電極91を形成した後、レジスト89を除去する(図15(b))。

【0008】この後、同様の方法により、pMOS領域Aにp型不純物のSD(ソース・ドレイン)注入を、nMOS領域Bにn型不純物のSD(ソース・ドレイン)注入を行った後、ゲート側壁酸化膜92(図13)を形成し、その後、pMOS領域AおよびnMOS領域Bにそれぞれの導電型不純物のLDD注入を行って、pMOS領域AおよびnMOS領域Bのシリコン基板81表面にソース・ドレイン領域(図示せず)を形成する。その後、図13に示すように、BPSGで層間絶縁膜93を形成した後、ゲート電極90、91上にコンタクトホールを形成し、そのコンタクトホールにタンガステンを埋め込んでコンタクト94を形成した後、コンタクト94に接続される金属配線95を形成する。

【0009】

【発明が解決しようとする課題】しかしながら上記従来の構成および製造方法では、pMOSのゲート電極90およびnMOSのゲート電極91を形成するドライエッチングの際に、pMOS領域Aのp型のポリシリコン膜94とnMOS領域Bのn型のポリシリコン膜94とではエッチング速度が異なり、このエッチング速度の差に起因するゲートパターン形成で問題がある。図16は、エッチング時間とポリシリコン膜94の残り膜厚との関係図であり、⑤はpMOS領域Aのp型のポリシリコン膜94の場合を示し、⑥はnMOS領域Bのn型のポリシリコン膜94の場合を示す。この図16に示すように、n型のポリシリコン膜94の方がp型のポリシリコン膜94よりもエッチング速度が速く、nMOS領域BではTime(n)でエッチングが終了し、pMOS領域AではTime(p)でエッチングが終了し、Time(p) > Time(n) 49

という関係が成り立つ。しかし、ポリシリコン膜94のドライエッチングは、pMOS領域AとnMOS領域Bとを同時に開始し終了するため、pMOS領域Aに比べてnMOS領域Bでは過剰なオーバーエッチングが施されるという問題点を有していた。

【0010】本発明の目的は、上記問題点に鑑み、ゲート電極形成時に、pMOS領域およびnMOS領域にはほぼ同等のオーバーエッチングを施すことができる半導体装置およびその製造方法を提供することである。

【0011】

【課題を解決するための手段】請求項1記載の半導体装置は、半導体基板上にゲート酸化膜を介してゲート電極となるp型半導体膜を有するpMOS(pチャネルMOSトランジスタ)と、半導体基板上にゲート酸化膜を介してゲート電極となるn型半導体膜を有するnMOS(nチャネルMOSトランジスタ)とを備えた半導体装置であって、p型半導体膜の膜厚をn型半導体膜の膜厚より薄くしたことを特徴とする。

【0012】この構成によれば、p型半導体膜よりn型半導体膜の方がエッチング速度が速いため、p型半導体膜の膜厚をn型半導体膜の膜厚より薄くしたことにより、ゲート電極形成時に、p型半導体膜とn型半導体膜のエッチングをほぼ同時に終了することができ、pMOS領域およびnMOS領域にはほぼ同等のオーバーエッチングを施すことができる。

【0013】請求項2記載の半導体装置は、請求項1記載の半導体装置において、nMOSのゲート酸化膜の下に半導体基板表面をpMOSのゲート酸化膜の下に半導体基板表面よりも低くし、nMOSのゲート電極となるn型半導体膜表面の高さとpMOSのゲート電極となるp型半導体膜表面の高さを同一にしたことを特徴とする。

【0014】これにより、p型半導体膜の膜厚をn型半導体膜の膜厚より薄くすることができる。請求項3記載の半導体装置は、半導体基板上にゲート酸化膜を介してゲート電極となるp型半導体膜を有するpMOSと、半導体基板上にゲート酸化膜を介してゲート電極となるn型半導体膜を有するnMOSとを備えた半導体装置であって、p型半導体膜と同一パターンの第1の酸化膜をp型半導体膜上に設け、n型半導体膜と同一パターンでかつ第1の酸化膜よりも膜厚の厚い第2の酸化膜をn型半導体膜上に設けたことを特徴とする。

【0015】この構成によれば、p型半導体膜よりn型半導体膜の方がエッチング速度が速いため、p型半導体膜上に第1の酸化膜を設けるとともにn型半導体膜上に第1の酸化膜よりも膜厚の厚い第2の酸化膜を設けたことにより、ゲート電極形成時に、p型半導体膜とn型半導体膜のエッチングをほぼ同時に終了することができ、pMOS領域およびnMOS領域にはほぼ同等のオーバーエッチングを施すことができる。

【0016】請求項4記載の半導体装置の製造方法は、半導体基板にpMOSとnMOSとを形成する半導体装置の製造方法であって、半導体基板上にゲート酸化膜を介して半導体膜を形成する工程と、nMOS領域の半導体膜にn型不純物を導入する工程と、pMOS領域の半導体膜にp型不純物を導入する工程と、pMOS領域の半導体膜の表面をエッチングしてnMOS領域の半導体膜よりも膜厚を薄くする工程と、pおよびnMOS領域の半導体膜上にゲート電極パターンのレジストを形成し、このレジストをマスクとして半導体膜をエッチングしてpMOSのゲート電極およびnMOSのゲート電極を形成する工程とを含むことを特徴とする。

【0017】この製造方法によれば、p型の半導体膜よりn型の半導体膜の方がエッチング速度が速いため、pMOS領域の半導体膜の表面をエッチングしてnMOS領域の半導体膜よりも膜厚を薄くすることにより、ゲート電極形成時に、pMOS領域の半導体膜とnMOS領域の半導体膜のエッチングをほぼ同時に終了することができ、pMOS領域およびnMOS領域にはほぼ同等のオーバーエッチングを施すことができる。

【0018】請求項5記載の半導体装置の製造方法は、請求項4記載の半導体装置の製造方法において、pMOS領域の半導体膜の表面のエッチング量は、ゲート電極形成のエッチング時におけるpMOS領域の半導体膜のエッチング速度とnMOS領域の半導体膜のエッチング速度との差に起因するエッチング量の差を補償する量とすることを特徴とする。

【0019】これにより、pMOS領域の半導体膜とnMOS領域の半導体膜のエッチングをより正確に同時に終了することができ、pMOS領域およびnMOS領域にはより同等なオーバーエッチングを施すことができる。請求項6記載の半導体装置の製造方法は、半導体基板にpMOSとnMOSとを形成する半導体装置の製造方法であって、半導体基板上にゲート酸化膜を介して半導体膜を形成する工程と、nMOS領域の半導体膜にn型不純物を導入する工程と、pMOS領域の半導体膜にp型不純物を導入する工程と、pMOS領域の半導体膜の表面に選択酸化膜を形成し、この選択酸化膜直下のpMOS領域の半導体膜をnMOS領域の半導体膜よりも膜厚を薄くする工程と、選択酸化膜を除去した後、pおよびnMOS領域の半導体膜上にゲート電極パターンのレジストを形成し、このレジストをマスクとして半導体膜をエッチングしてpMOSのゲート電極およびnMOSのゲート電極を形成する工程とを含むことを特徴とする。

【0020】この製造方法によれば、p型の半導体膜よりn型の半導体膜の方がエッチング速度が速いため、pMOS領域の半導体膜をその表面に選択酸化膜を形成してnMOS領域の半導体膜よりも膜厚を薄くすることにより、ゲート電極形成時に、pMOS領域の半導体膜と

nMOS領域の半導体膜のエッチングをほぼ同時に終了することができ、pMOS領域およびnMOS領域にはほぼ同等のオーバーエッチングを施すことができる。

【0021】請求項7記載の半導体装置の製造方法は、請求項6記載の半導体装置の製造方法において、nMOS領域の半導体膜へのn型不純物の導入は、選択酸化膜を形成した後、選択酸化膜をマスクとして行うことを特徴とする。このように、pMOS領域の半導体膜の膜厚を薄くするための選択酸化膜をn型不純物の導入のマスクとして用いることにより、工程の簡略化が図れる。

【0022】請求項8記載の半導体装置の製造方法は、請求項6または7記載の半導体装置の製造方法は、選択酸化膜の形成によりpMOS領域の半導体膜をnMOS領域の半導体膜よりも膜厚を薄くする量は、ゲート電極形成のエッチング時におけるpMOS領域の半導体膜のエッチング速度とnMOS領域の半導体膜のエッチング速度との差に起因するエッチング量の差を補償する量とすることを特徴とする。

【0023】これにより、pMOS領域の半導体膜とnMOS領域の半導体膜のエッチングをより正確に同時に終了することができ、pMOS領域およびnMOS領域にはより同等なオーバーエッチングを施すことができる。請求項9記載の半導体装置の製造方法は、半導体基板にpMOSとnMOSとを形成する半導体装置の製造方法であって、半導体基板上にゲート酸化膜を介して半導体膜を形成する工程と、nMOS領域の半導体膜にn型不純物を導入する工程と、pMOS領域の半導体膜上に第1の酸化膜を形成するとともにnMOS領域の半導体膜上に第1の酸化膜よりも膜厚の厚い第2の酸化膜を形成する工程と、第1および第2の酸化膜上にゲート電極パターンのレジストを形成し、このレジストをマスクとして第1および第2の酸化膜をエッチングするとともに半導体膜をエッチングしてpMOSのゲート電極およびnMOSのゲート電極を形成する工程とを含むことを特徴とする。

【0024】この製造方法によれば、p型の半導体膜よりn型の半導体膜の方がエッチング速度が速いため、pMOS領域の半導体膜上に第1の酸化膜を形成するとともにnMOS領域の半導体膜上に第1の酸化膜よりも膜厚の厚い第2の酸化膜を形成することにより、ゲート電極形成時に、pMOS領域の半導体膜とnMOS領域の半導体膜のエッチングをほぼ同時に終了することができ、pMOS領域およびnMOS領域にはほぼ同等のオーバーエッチングを施すことができる。

【0025】請求項10記載の半導体装置の製造方法は、請求項9記載の半導体装置の製造方法において、第1の酸化膜および第2の酸化膜は、nMOS領域の半導体膜にn型不純物を導入し、かつ、pMOS領域の半導体膜にp型不純物を導入した後で、熱酸処理を行うこ

とにより半導体膜表面に同時に形成することを特徴とする。

【0026】これにより、 n 型不純物を導入した半導体膜は、 p 型不純物を導入した半導体膜よりも酸化速度が速いため、熱酸化処理を行うことにより、第1の酸化膜とそれより膜厚の厚い第2の酸化膜とを容易に形成することができる。請求項1記載の半導体装置の製造方法は、請求項9または10記載の半導体装置の製造方法において、ゲート電極形成のエッチング時における第1の酸化膜と第2の酸化膜とのエッチング時間差によって、 p MOS領域の半導体膜のエッチング速度と n MOS領域の半導体膜のエッチング速度との差に起因するエッチング時間差を補償するように、第1の酸化膜と第2の酸化膜との膜厚差を設定することを特徴とする。

【0027】これにより、 p MOS領域の半導体膜と n MOS領域の半導体膜のエッチングをより正確に同時に終了することができ、 p MOS領域および n MOS領域にはより同等なオーバーエッチングを施すことができる。請求項12記載の半導体装置の製造方法は、半導体基板に p MOSと n MOSとを形成する半導体装置の製造方法であって、 n MOS領域の半導体基板表面を p MOS領域の半導体基板表面よりも低くして段差を形成する工程と、段差を形成した半導体基板上にゲート酸化膜、半導体膜を順次形成する工程と、半導体膜の平坦化処理を行い n MOS領域の半導体膜表面の高さと p MOS領域の半導体膜表面の高さを同一にする工程と、 n MOS領域の半導体膜に n 型不純物を導入する工程と、 p MOS領域の半導体膜に p 型不純物を導入する工程と、 p および n MOS領域の半導体膜上にゲート電極パターンをレジストを形成し、このレジストをマスクとして半導体膜をエッチングして p MOSのゲート電極および n MOSのゲート電極を形成する工程とを含むことを特徴とする。

【0028】この製造方法によれば、 p 型の半導体膜より n 型の半導体膜の方がエッチング速度が速いため、 n MOS領域の半導体基板表面を p MOS領域の半導体基板表面よりも低くして段差を形成した後、ゲート酸化膜、半導体膜を順次形成し、半導体膜の平坦化処理を行い n MOS領域の半導体膜表面の高さと p MOS領域の半導体膜表面の高さを同一にすることにより、ゲート電極形成時に、 p MOS領域の半導体膜と n MOS領域の半導体膜のエッチングをほぼ同時に終了することができ、 p MOS領域および n MOS領域にはほぼ同等のオーバーエッチングを施すことができる。

【0029】請求項13記載の半導体装置の製造方法は、請求項12記載の半導体装置の製造方法において、半導体基板表面に段差を形成する工程は、 n MOS領域の半導体基板表面に選択酸化膜を形成し、この選択酸化膜を除去することを特徴とする。これにより、半導体基板表面に段差を形成する際の表面の損傷を防止すること

ができる。

【0030】請求項14記載の半導体装置の製造方法は、請求項12または13記載の半導体装置の製造方法において、半導体基板表面に形成する段差は、ゲート電極形成のエッチング時における p MOS領域の半導体膜のエッチング速度と n MOS領域の半導体膜のエッチング速度との差に起因するエッチング量の差分を補償する量とすることを特徴とする。

【0031】これにより、 p MOS領域の半導体膜と n MOS領域の半導体膜のエッチングをより正確に同時に終了することができ、 p MOS領域および n MOS領域にはより同等なオーバーエッチングを施すことができる。

【0032】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

【第1の実施の形態】図1は本発明の第1の実施の形態における半導体装置の構成を示す断面図である。図1において、1はシリコン基板（半導体基板）、2は p MOS（ p チャネルMOSトランジスタ）領域Aと n MOS（ n チャネルMOSトランジスタ）領域Bとを分離する分断酸化膜、3はゲート酸化膜、11は p 型ポリシリコン膜（ p 型半導体膜）からなる p MOSのゲート電極、12は n 型ポリシリコン膜（ n 型半導体膜）からなる n MOSのゲート電極、13はゲート側壁酸化膜、14はBPSG膜からなる層間絶縁膜、15はタングステンからなるコンタクト、16は金属配線である。

【0033】この第1の実施の形態の半導体装置は、従来例同様、分断酸化膜2により p MOS領域Aと n MOS領域Bとが分離され、 p MOS領域Aには、シリコン基板1に例えば n 型ウエル（図示せず）が形成され、その表面に p 型のソース・ドレイン領域（図示せず）が形成され、ゲート酸化膜3および p 型ポリシリコン膜のゲート電極11等とともに p チャネルMOSトランジスタを構成している。また、 n MOS領域Bには、シリコン基板1に例えば p 型ウエル（図示せず）が形成され、その表面に n 型のソース・ドレイン領域（図示せず）が形成され、ゲート酸化膜3および n 型ポリシリコン膜のゲート電極12等とともに n チャネルMOSトランジスタを構成している。そして、 p MOSのゲート電極11と n MOSのゲート電極12とはそれぞれコンタクト15を介して金属配線16に接続されている。

【0034】この半導体装置の特徴は、 p 型ポリシリコン膜からなる p MOSのゲート電極11の厚みを、 n 型ポリシリコン膜からなる n MOSのゲート電極12の厚みよりも薄くした点である。このように構成される半導体装置の製造方法について、さらに図2および図3の製造方法を示す工程断面図を参照しながら説明する。

【0035】まず、シリコン基板1の p MOS領域Aに例えば n 型ウエル（図示せず）、 n MOS領域Bに例え

はp型ウエル（図示せず）を形成した後、分離酸化膜2を形成し、ゲート酸化膜3を形成する。その後、全面にポリシリコン膜（半導体膜）4を形成する（図2（a））。次に、pMOS領域Aを覆いnMOS領域Bを開口したレジスト5をポリシリコン膜4上に形成し、このレジスト5をマスクとしてnMOS領域Bのポリシリコン膜4にn型不純物のドーパント6をイオン注入する（図2（b））。

【0036】次に、レジスト5を除去後、nMOS領域Bを覆いpMOS領域Aを開口したレジスト7をポリシリコン膜4上に形成し、このレジスト7をマスクとしてpMOS領域Aのポリシリコン膜4にp型不純物のドーパント8をイオン注入する。その後、レジスト7をマスクとしてpMOS領域Aのポリシリコン膜4を所定の厚さ分（除去部分9）だけエッチング除去する（図2（c））。

【0037】次に、レジスト7を除去後、pMOSのゲート電極およびnMOSのゲート電極のゲートパターン（レジスト10）をポリシリコン膜4上に形成し（図3（a））、このレジスト10をマスクとしてポリシリコン膜4の異方性ドライエッチングを行ってpMOSのゲート電極11およびnMOSのゲート電極12を形成した後、レジスト10を除去する（図3（b））。

【0038】その後、同様の方法により、pMOS領域Aにp型不純物のSD（ソース・ドレイン）注入を、nMOS領域Bにn型不純物のSD（ソース・ドレイン）注入を行った後、ゲート側壁酸化膜13（図1）を形成し、その後、pMOS領域AおよびnMOS領域Bにそれぞれの導電型不純物のLDD注入を行って、pMOS領域AおよびnMOS領域Bのシリコン基板1表面にソース・ドレイン領域（図示せず）を形成する。その後、図1に示すように、BPSGで層間絶縁膜14を形成した後、ゲート電極11、12上にコンタクトホールを形成し、そのコンタクトホールにタングステンを埋め込んでコンタクト15を形成した後、コンタクト15に接続される金属配線16を形成する。

【0039】上記の製造方法において、図2（c）の工程におけるpMOS領域Aのポリシリコン膜4のエッチングは、図3（b）の工程のpMOSのゲート電極11およびnMOSのゲート電極12形成のためのポリシリコン膜4のエッチングを行う際のn型ポリシリコンとp型ポリシリコンとのエッチング速度差から求められるエッチング量の差の分だけ除去を行う。すなわち、n型ポリシリコンのエッチング速度を ER_n とし、p型ポリシリコンのエッチング速度を ER_p とし、ポリシリコン膜4の総膜厚を T とすると、ポリシリコン膜4の除去部分9の厚さ（ T_{Δ} ）を、

$$T_{\Delta} = T \times (1 - ER_p / ER_n)$$

とする。このように、ポリシリコン膜4の除去部分9の厚さ T_{Δ} を設定したときの、図3（b）の工程にお

けるエッチング時間とポリシリコン膜4の残り膜厚との関係を図4に示す。図4において、①はpMOS領域Aのp型のポリシリコン膜4の場合を示し、②はnMOS領域Bのn型のポリシリコン膜4の場合を示す。図4から、pMOS領域Aのp型のポリシリコン膜4のエッチングの終了（ $Time(p)$ ）とnMOS領域Bのn型のポリシリコン膜4のエッチングの終了（ $Time(n)$ ）とが同時になることが分かる。

【0040】以上のように第1の実施の形態によれば、p型ポリシリコンよりn型ポリシリコンの方がエッチング速度が速いため、pMOS領域Aのポリシリコン膜4の表面をエッチングしてnMOS領域Bのポリシリコン膜4よりも膜厚を薄くすることにより、ゲート電極形成時に、pMOS領域Aのポリシリコン膜4とnMOS領域Bのポリシリコン膜4のエッチングをほぼ同時に終了することができ、pMOS領域AおよびnMOS領域Bにはほぼ同等のオーバーエッチングを施すことができる。

【0041】また、本実施の形態では、pMOS領域Aのポリシリコン膜4のエッチング量（ T_{Δ} ）を、ゲート電極形成のエッチング時におけるpMOS領域Aのポリシリコン膜4のエッチング速度とnMOS領域Bのポリシリコン膜4のエッチング速度との差に起因するエッチング量の差を補償する量としているため、pMOS領域Aのポリシリコン膜4とnMOS領域Bのポリシリコン膜4のエッチングをより正確に同時に終了することができ、pMOS領域AおよびnMOS領域Bにはより同等なオーバーエッチングを施すことができる。

【0042】【第2の実施の形態】図5および図6は本発明の第2の実施の形態における半導体装置の製造方法を示す工程断面図である。なお、この製造方法によれば図1と同様の半導体装置を製造できる。まず、シリコン基板（半導体基板）21のpMOS領域Aに例えばn型ウエル（図示せず）、nMOS領域Bに例えばp型ウエル（図示せず）を形成した後、分離酸化膜22を形成し、ゲート酸化膜23を形成する。その後、全面にポリシリコン膜（半導体膜）24、シリコン酸化膜25、シリコン窒化膜26を順次形成する（図5（a））。

【0043】次に、nMOS領域Bを覆いpMOS領域Aを開口したレジスト27をシリコン窒化膜26上に形成し、このレジスト27をマスクとしてpMOS領域Aのシリコン窒化膜26をエッチング除去する（図5（b））。その後、レジスト27をマスクとしてpMOS領域Aのポリシリコン膜24にp型不純物のドーパント8をイオン注入する（図5（c））。

【0044】次に、レジスト27を剥離し、ウエハを洗浄後、酸化炉にて選択酸化処理を行うことにより、pMOS領域Aのシリコン酸化膜25を成長させて膜厚の厚い熱酸化膜（選択酸化膜）29を形成する（図5（d））。次に、シリコン窒化膜26とシリコン酸化膜

25とをエッチング除去し(図6(a))、pMOS領域Aを覆う熱酸化膜29をマスクとしてnMOS領域Bのポリシリコン膜24にn型不純物の燐30をイオン注入する(図6(b))。

【0045】次に、熱酸化膜29をウェットエッチングにより除去した後、pMOSのゲート電極およびnMOSのゲート電極のゲートパターンのレジスト31をポリシリコン膜24上に形成し(図6(c))、このレジスト31をマスクとしてポリシリコン膜24の異方性ドライエッチングを行ってpMOSのゲート電極32およびnMOSのゲート電極33を形成した後、レジスト31を除去する(図6(d))。

【0046】この後、第1の実施の形態同様、周知の方法により、図1のゲート側壁酸化膜13、pMOS領域AおよびnMOS領域Bのソース・ドレイン領域(図示せず)、層間絶縁膜14、コンタクト15、金属配線16を形成することにより、図1と同様の半導体装置が得られる。上記の製造方法において、図5(d)の工程における熱酸化膜29形成の酸化処理を、図6(d)の工程のpMOSのゲート電極32およびnMOSのゲート電極33形成のためのポリシリコン膜24のエッチングを行う際のn型ポリシリコンとp型ポリシリコンとのエッチング速度差から求められるエッチング量の差の分だけ、熱酸化膜29を除去した後のpMOS領域Aのp型のポリシリコン膜24がnMOS領域Bのn型のポリシリコン膜24よりも薄くなるように行う。すなわち、n型ポリシリコンのエッチング速度を ER_n とし、p型ポリシリコンのエッチング速度を ER_p とし、ポリシリコン膜24の堆積膜厚を T とすると、熱酸化膜29の形成時に酸化される部分のポリシリコン膜24の厚さ(= T_{Δ})を、

$$T_{\Delta} = T \times (1 - ER_p / ER_n)$$

とする。このように、熱酸化膜29の形成時に酸化されるポリシリコン膜24の厚さ T_{Δ} を設定することにより、pMOSのゲート電極32およびnMOSのゲート電極33形成時にpMOS領域Aのp型のポリシリコン膜24のエッチングの終了とnMOS領域Bのn型のポリシリコン膜24のエッチングの終了とが同時になることは、第1の実施の形態の説明からも明らかである。

【0047】以上のように第2の実施の形態によれば、p型ポリシリコンよりn型ポリシリコンの方がエッチング速度が速いため、pMOS領域Aのポリシリコン膜24を、その表面に熱酸化膜29を形成してnMOS領域Bのポリシリコン膜24よりも膜厚を薄くすることにより、ゲート電極形成時に、pMOS領域Aのポリシリコン膜24とnMOS領域Bのポリシリコン膜24のエッチングをほぼ同時に終了することができ、pMOS領域AおよびnMOS領域Bにはほぼ同等のオーバーエッチングを施すことができる。

【0048】また、本実施の形態では、熱酸化膜29の

形成によりpMOS領域Aのポリシリコン膜24をnMOS領域Bのポリシリコン膜24よりも膜厚を薄くする量(T_{Δ})を、ゲート電極形成のエッチング時におけるpMOS領域Aのポリシリコン膜24のエッチング速度とnMOS領域Bのポリシリコン膜24のエッチング速度との差に起因するエッチング量の差を補償する量としているため、pMOS領域Aのポリシリコン膜24とnMOS領域Bのポリシリコン膜24のエッチングをより正確に同時に終了することができ、pMOS領域AおよびnMOS領域Bにはより同等なオーバーエッチングを施すことができる。

【0049】また、本実施の形態では、pMOS領域Aのポリシリコン膜24の膜厚を薄くするための熱酸化膜29を、n型不純物(燐30)注入時のマスクとして用いることにより、工程の簡略化が図れる。

【第3の実施の形態】図7および図8は本発明の第3の実施の形態における半導体装置の製造方法を示す工程断面図である。

【0050】まず、シリコン基板(半導体基板)41のpMOS領域Aに例えばn型ウエル(図示せず)、nMOS領域Bに例えばp型ウエル(図示せず)を形成した後、分離酸化膜42を形成し、ゲート酸化膜43を形成する。その後、全面にポリシリコン膜(半導体膜)44を形成した後、pMOS領域Aを覆いnMOS領域Bを開口したレジスト45をポリシリコン膜44上に形成し、このレジスト45をマスクとしてnMOS領域Bのポリシリコン膜44にn型不純物の燐46をイオン注入する(図7(a))。

【0051】次に、レジスト45を除去後、nMOS領域Bを覆いpMOS領域Aを開口したレジスト47をポリシリコン膜44上に形成し、このレジスト47をマスクとしてpMOS領域Aのポリシリコン膜44にp型不純物のボロン48をイオン注入する(図7(b))。次に、レジスト47を除去後、熱酸化処理を行うことによりポリシリコン膜44上にシリコン酸化膜49、50を形成する。このとき、pMOS領域Aのp型のポリシリコン膜44よりもnMOS領域Bのn型のポリシリコン膜44の方が酸化速度が速いため、pMOS領域Aのシリコン酸化膜(第1の酸化膜)49よりもnMOS領域Bのシリコン酸化膜(第2の酸化膜)50の膜厚を厚く形成できる(図7(c))。

【0052】次に、pMOSのゲート電極およびnMOSのゲート電極のゲートパターンのレジスト51をシリコン酸化膜49、50上に形成し(図8(a))、このレジスト51をマスクとしてシリコン酸化膜49、50およびポリシリコン膜44の異方性ドライエッチングを行ってpMOSのゲート電極52およびnMOSのゲート電極53を形成した後、レジスト51を除去する(図8(b))。この後、図示しないが、第1の実施の形態

同様、周知の方法により、ゲート側壁酸化膜、pMOS

領域AおよびnMOS領域Bのソース・ドレイン領域、
 図8(c)に示すように、金属配線形成して半導体装
 置が得られる。なお、ゲート電極52、53上のシリ
 コン酸化膜49、50は残存している。

【0053】上記の製造方法において、図7(c)の工
 程において成長させるpMOS領域Aのシリコン酸化膜
 49の膜厚を T_p 、nMOS領域Bのシリコン酸化膜5
 0の膜厚を T_n とし、図8(b)の工程におけるn型ボ
 リシリコンのエッチング速度を ER_n 、p型ボシリ
 コンのエッチング速度を ER_p 、シリコン酸化膜49、5
 0のエッチング速度を ER_o とし、ボシリシリコン膜44
 の堆積膜厚を T とすると、

$$T_n - T_p = T \times (ER_o / ER_p) \times (1 - ER_p / ER_n)$$

とする。このように、シリコン酸化膜49とシリコン酸
 化膜50の膜厚差($T_n - T_p$)を設定したときの、図
 8(b)の工程におけるエッチング時間とボシリシリ
 コン膜44およびシリコン酸化膜49、50の残り膜厚との
 関係を図9に示す。図9において、③はpMOS領域A
 のp型のボシリシリコン膜44およびシリコン酸化膜49
 の場合を示し、④はnMOS領域Bのn型のボシリシリ
 コン膜44およびシリコン酸化膜50の場合を示す。図9
 から、pMOS領域Aのエッチングの終了($Time(p)$)
 とnMOS領域Bのエッチングの終了($Time(n)$)とが
 同時になることが分かる。なお、図9の③、④は、シリ
 コン酸化膜49、50のエッチング速度がn型およびp
 型ボシリシリコン44のエッチング速度より遅いため、折
 れ線となっている。

【0054】以上のように第3の実施の形態によれば、
 pMOS領域Aのボシリシリコン膜44上にシリコン酸化
 膜49を形成するとともにnMOS領域Bのボシリシリ
 コン膜44上にシリコン酸化膜49よりも膜厚の厚いシリ
 コン酸化膜50を形成することにより、ゲート電極形成
 時に、pMOS領域Aのボシリシリコン膜44とnMOS
 領域Bのボシリシリコン膜44のエッチングをほぼ同時に
 終了することができ、pMOS領域AおよびnMOS領
 域Bにはほぼ同等のオーバーエッチングを施すことがで
 きる。

【0055】また、本実施の形態では、ゲート電極形成
 のエッチング時におけるシリコン酸化膜49とシリコン
 酸化膜50とのエッチング時間差によって、pMOS領
 域Aのボシリシリコン膜44のエッチング速度とnMOS
 領域Bのボシリシリコン膜44のエッチング速度との差に
 起因するエッチング時間差を補償するように、シリコン
 酸化膜49とシリコン酸化膜50との膜厚差($T_n - T_p$)
 を設定することにより、pMOS領域Aのボシリシリ
 コン膜44とnMOS領域Bのボシリシリコン膜44のエ
 ッチングをより正確に同時に終了することができ、pM
 OS領域AおよびnMOS領域Bにはより同等なオーバ
 ーエッチングを施すことができる。

【0056】また、本実施の形態では、n型のボシリ
 コン膜44はp型のボシリシリコン膜44よりも酸化速度
 が速いため、nMOS領域Bのボシリシリコン膜44にn
 型不純物(燐46)を導入し、かつ、pMOS領域Aの
 ボシリシリコン膜44にp型不純物(ボロン48)を導入
 した後で、熱酸化処理を行うことによりボシリシリコン膜
 44表面にシリコン酸化膜49とそれより膜厚の厚いシリ
 コン酸化膜50とを容易に同時に形成することができ
 る。

【0057】(第4の実施の形態)図10、図11およ
 び図12は本発明の第4の実施の形態における半導体装
 置の製造方法を示す工程断面図である。まず、シリコン
 基板(半導体基板)61のpMOS領域Aに例えばn型
 ウエル(図示せず)、nMOS領域Bに例えばp型ウエ
 ル(図示せず)を形成した後、全面にシリコン酸化膜6
 2、シリコン窒化膜63を順次形成する。その後、pM
 OS領域Aを覆いnMOS領域Bを開いたレジスト6
 4をシリコン窒化膜63上に形成する(図10
 (a))。

【0058】そして、レジスト64をマスクとしてnM
 OS領域Bのシリコン窒化膜63をエッチング除去す
 る。その後、レジスト64を除去し、ウェハを洗浄後、
 酸化炉にて選択酸化処理を行うことにより、nMOS領
 域Bのシリコン酸化膜62を成長させて膜厚の厚いシリ
 コン酸化膜(選択酸化膜)65とする(図10
 (b))。

【0059】次に、シリコン窒化膜63とシリコン酸化
 膜62、65とをウェットエッチングにより除去する
 (図10(c))。このとき、シリコン基板61にはp
 MOS領域AとnMOS領域Bとの間に段差 T_w が形成
 される。次に、段差 T_w を有するシリコン基板61の全
 面にゲート酸化膜66、ボシリシリコン膜(半導体膜)6
 7を順次形成し、その後、pMOS領域AとnMOS領
 域Bとの境界およびその近傍部分を開口した分能領域形
 成用のレジスト68をボシリシリコン膜67上に形成し
 (図10(d))、このレジスト68をマスクとしてボ
 リシリシリコン膜67、ゲート酸化膜66およびシリコン基
 板61をエッチングして溝69を形成し、レジスト68
 を除去する(図10(e))。

【0060】次に、高密度プラズマCVD法により全面
 にシリコン酸化膜70を堆積して溝69に埋め込む(図
 11(a))。次に、CMP(Chemical Mechanical Po
 lishing:化学的機械的研磨)法によりnMOS領域Bの
 ボシリシリコン膜67の表面まで研磨することにより、溝
 69に埋め込まれた部分のシリコン酸化膜70が残って
 分能酸化膜71となる。この研磨により、pMOS領域
 Aのボシリシリコン膜67は、その堆積表面から略シリ
 コン基板61の段差 T_w 分に相当する部分が除去されるた
 め、nMOS領域Bのボシリシリコン膜67よりも膜厚が
 略 T_w 分薄くなっている。その後、pMOS領域Aを覆

いnMOS領域Bを開口したレジスト72をポリシリコン膜67上に形成し、このレジスト72をマスクとしてnMOS領域Bのポリシリコン膜67にn型不純物の燐73をイオン注入する(図11(b))。

【0061】次に、レジスト72を除去後、nMOS領域Bを深いpMOS領域Aを開口したレジスト74をポリシリコン膜67上に形成し、このレジスト74をマスクとしてpMOS領域Aのポリシリコン膜67にp型不純物のボロン75をイオン注入する(図11(c))。次に、レジスト74を除去後、全面にT_iN膜76、タンゲステン膜77を形成した後、pMOSのゲート電極およびnMOSのゲート電極のゲートパターンのレジスト78をタンゲステン膜77上に形成する(図12(a))。

【0062】レジスト78をマスクとしてタンゲステン膜77、T_iN膜76およびポリシリコン膜67の異方性ドライエッチングを行ってpMOSのゲート電極79およびnMOSのゲート電極80を形成した後、レジスト78を除去する(図12(b))。pMOSのゲート電極79はp型のポリシリコン膜67とT_iN膜76とタンゲステン膜77とからなり、nMOSのゲート電極80はn型のポリシリコン膜67とT_iN膜76とタンゲステン膜77とからなる。

【0063】この後、図示しないが、第1の実施形態と同様、周知の方法により、ゲート側壁酸化膜、pMOS領域AおよびnMOS領域Bのソース・ドレイン領域、屈折率絶縁膜、コンタクト、金属配線を形成して半導体装置が得られる。上記の製造方法において、図10(b)の工程におけるシリコン酸化膜65形成の酸化処理を、図12(b)の工程のpMOSのゲート電極79およびnMOSのゲート電極80形成のためのエッチングを行う際のn型ポリシリコンとp型ポリシリコンとのエッチング速度差から求められるエッチング量の差の分だけ、シリコン酸化膜65を除去した後のシリコン基板61に段差Twが形成され、シリコン基板61表面のnMOS領域BがpMOS領域Aよりも低くなるようにする。すなわち、n型ポリシリコンのエッチング速度をER_nとし、p型ポリシリコンのエッチング速度をER_pとし、ポリシリコン膜67の堆積膜厚をTとすると、シリコン酸化膜65の形成時に酸化される部分のシリコン基板61の厚さ、すなわちシリコン基板61の段差Twを、 $Tw = T \times (1 - ER_p / ER_n)$ とする。このように、シリコン基板61の段差Twを設定することにより、pMOSのゲート電極79およびnMOSのゲート電極80形成時にpMOS領域Aのp型のポリシリコン膜67のエッチングの終了とnMOS領域Bのn型のポリシリコン膜67のエッチングの終了とが同時になることは、第1の実施形態の説明からも明らかである。

【0064】以上のように第4の実施形態によれば、

nMOS領域Bのシリコン基板61表面をpMOS領域Aのシリコン基板61表面よりも低くして段差を形成した後、ゲート酸化膜66、ポリシリコン膜67を順次形成し、ポリシリコン膜67の平坦化処理を行いnMOS領域Bのポリシリコン膜67表面の高さとpMOS領域Aのポリシリコン膜67表面の高さとを同一にすることにより、pMOS領域Aのポリシリコン膜67の膜厚をnMOS領域Bのポリシリコン膜67の膜厚よりも薄くし、ゲート電極形成時に、pMOS領域Aのポリシリコン膜67とnMOS領域Bのポリシリコン膜67のエッチングをほぼ同時に終了することができ、pMOS領域AおよびnMOS領域Bにはほぼ同等のオーバーエッチングを施すことができる。

【0065】また、本実施形態では、シリコン基板61表面に形成する段差(Tw)を、ゲート電極形成のエッチング時におけるpMOS領域Aのポリシリコン膜67のエッチング速度とnMOS領域Bのポリシリコン膜67のエッチング速度との差に起因するエッチング量の差分を補償する量とすることにより、pMOS領域Aのポリシリコン膜67とnMOS領域Bのポリシリコン膜67のエッチングをより正確に同時に終了することができ、pMOS領域AおよびnMOS領域Bにはほぼ同等なオーバーエッチングを施すことができる。

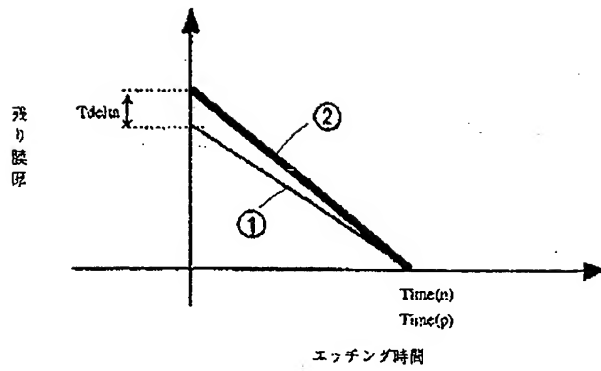
【0066】また、本実施形態では、シリコン基板61表面に段差を形成するために、nMOS領域Bのシリコン基板61表面にシリコン酸化膜65を形成し、このシリコン酸化膜65を除去するようにしていることにより、段差を形成する際のシリコン基板61表面の損傷を防止することができる。また、本実施形態では、ゲート電極79、80を、ポリシリコン膜67とT_iN膜76とタンゲステン膜77とで構成しているが、第1〜第3の実施形態と同様、ポリシリコン膜67のみで構成してもよい。なお、本実施形態では、ポリシリコン膜67上にT_iN膜76とタンゲステン膜77を形成することによりゲート電極79、80の信頼性の向上を図ることができる。

【0067】また、第1および第2の実施形態においても、pMOS領域Aのポリシリコン膜4、24の膜厚を薄くした後、ゲートパターンのレジスト10、31形成前に、ポリシリコン膜4、24上にT_iN膜とタンゲステン膜等を形成することにより、ゲート電極の信頼性の向上を図ることができる。また、第1〜第4の実施形態では、ゲート電極を構成する半導体膜として、ポリシリコン膜を用いたが、アモルファスシリコン膜やS₁Ge膜を用いてもよい。

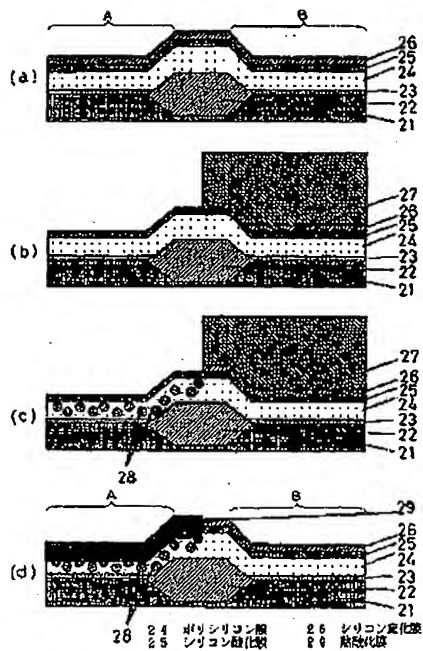
【0068】

【発明の効果】以上のように本発明によれば、pMOS領域の半導体膜の表面をエッチングしてnMOS領域の半導体膜よりも膜厚を薄くすることにより、また、pMOS領域の半導体膜をその表面に選択酸化膜を形成して

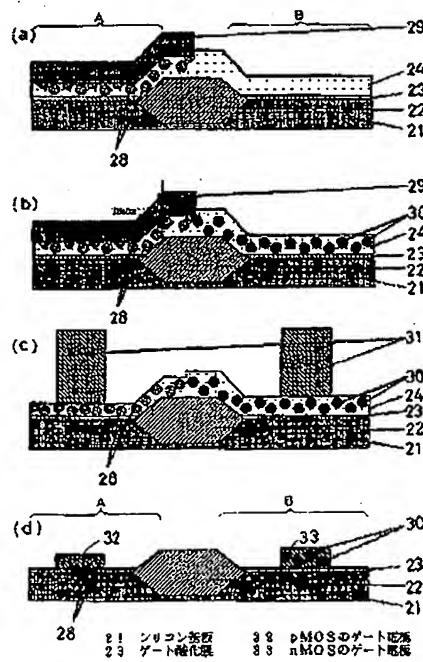
【図4】



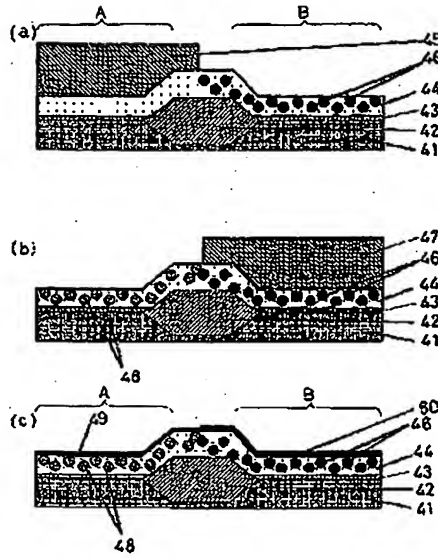
【図5】



【図6】

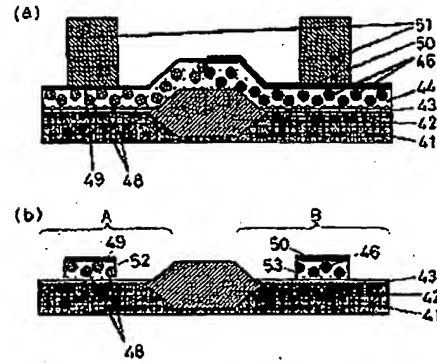


【図7】



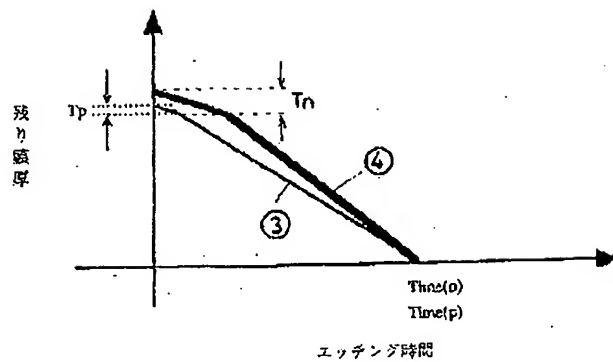
- | | | | |
|--------|---------|----|---------|
| A | p-MOS領域 | 48 | ゲート酸化膜 |
| B | n-MOS領域 | 44 | ポリシリコン膜 |
| 41 | シリコン基板 | 48 | 膜 |
| 42 | 分離酸化膜 | 48 | ポリロン |
| 45, 47 | レジスト | | |
| 40, 50 | シリコン酸化膜 | | |

【図8】

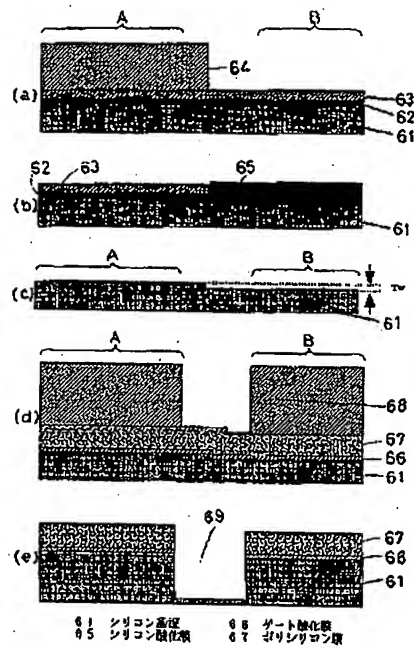


- | | |
|----|-------------|
| A | p-MOS領域 |
| B | n-MOS領域 |
| 41 | シリコン基板 |
| 42 | 分離酸化膜 |
| 48 | ゲート酸化膜 |
| 44 | ポリシリコン膜 |
| 48 | 膜 |
| 48 | ポリロン |
| 48 | シリコン酸化膜 |
| 51 | レジスト |
| 52 | p-MOSのゲート電極 |
| 53 | n-MOSのゲート電極 |

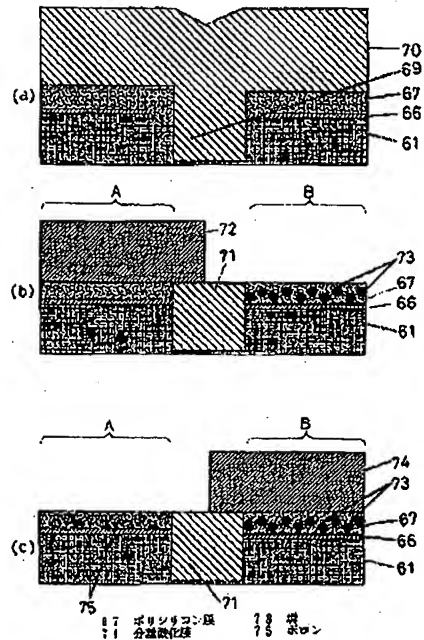
【図9】



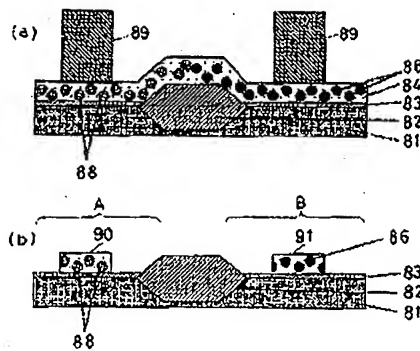
【図10】



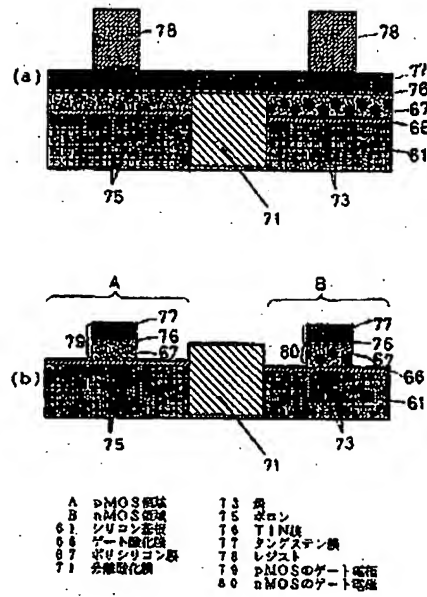
【図11】



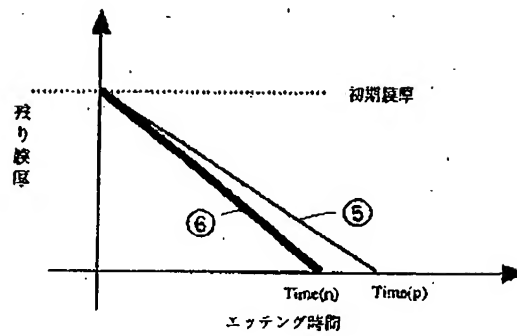
【図15】



【図12】



【図16】



THIS PAGE BLANK (USPTO)